

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-297847

(43)Date of publication of application : 17.10.2003

(51)Int.Cl.

H01L 21/331
H01L 21/205
H01L 21/8222
H01L 21/8249
H01L 27/06
H01L 29/732
H01L 29/737

(21)Application number : 2002-099009

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 01.04.2002

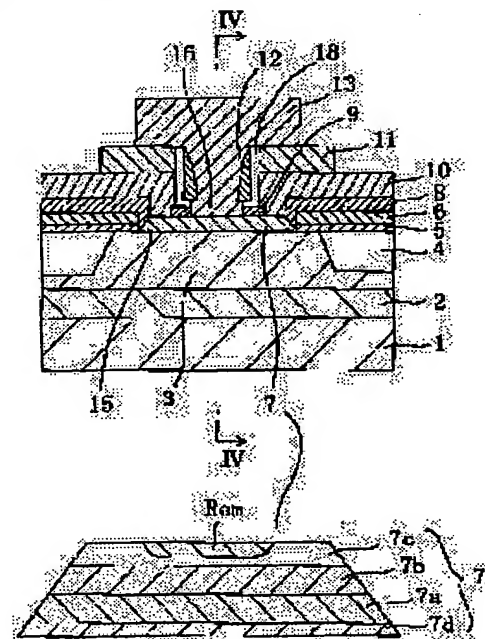
(72)Inventor : AOKI NARITSUYO
SAITO TORU
NOZAWA KATSUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a polycrystalline semiconductor layer with a large film thickness, which is formed on an insulating layer at the same time of epitaxial growth, and to provide a manufacture method therefor.

SOLUTION: A Si/SiGe layer 7 constituted of a Si buffer layer 7d, a SiGe spacer layer 7a, an inclined SiGe layer 7b and a Si cap layer 7c is epitaxially grown above a collector opening 5. A polycrystalline layer 8 is deposited on the upper layer of a nitride film 6 and on sides of an oxide film 5 and the nitride film 6. Films of a SiGe spacer layer and the like are formed after the Si buffer layer 7d is formed. Thus, non-selected epitaxial growth is surely performed, and the polycrystalline layer 8 is also deposited on the nitride film 6.



LEGAL STATUS

[Date of request for examination]

31.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

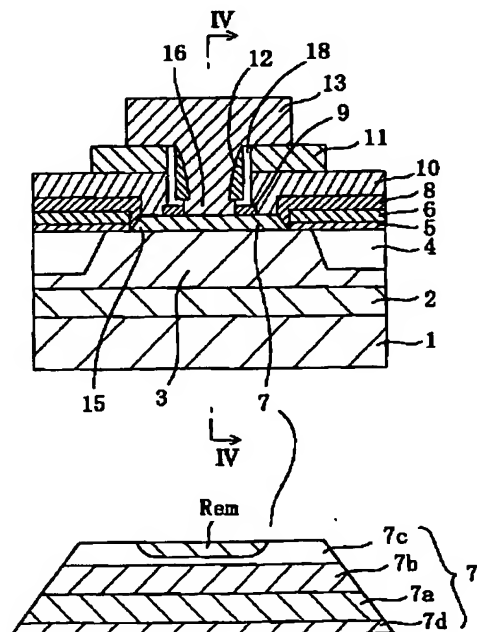
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



【特許請求の範囲】

【請求項1】 基板の一部に設けられた単結晶の下地層と、

上記基板の他部に設けられた絶縁層と、

上記下地層の上方にエピタキシャル成長により形成され、 $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) で表される組成を有する半導体層と、

上記下地層と上記第1の半導体層との間にエピタキシャル成長により形成され、組成が $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ ($0 \leq x_2 < 1$, $0 \leq y_2 < 1$, $1-x_2-y_2 > 1-x_1-y_1$) で表されるバッファ層と、

上記絶縁層の上に形成され、上記バッファ層と実質的に同じ成分の半導体と、上記半導体層と実質的に同じ成分の半導体を含む多結晶半導体層とを備えている半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記単結晶の下地層は、シリコン層であることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、上記半導体層は、 SiGe 層又は SiGeC 層であり、上記バッファ層は、シリコン層であり、上記多結晶半導体層は、少なくとも SiGe を含むことを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、上記下地層は、コレクタ層であり、上記半導体層は、少なくとも一部がベース層であって、上記多結晶半導体層は、ベース引き出し電極の少なくとも一部であり、ヘテロバイポーラトランジスタとして機能することを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、上記多結晶半導体層は、 MIS トランジスタのゲート電極の少なくとも一部であって、 BiCMOS デバイスとして機能することを特徴とする半導体装置。

【請求項6】 請求項1～5のうちのいずれか1つに記載の半導体装置において、上記バッファ層の厚みは、 2nm 以上で 20nm 以下であることを特徴とする半導体装置。

【請求項7】 組成が $\text{Si}_{1-x_3-y_3}\text{Ge}_{x_3}\text{C}_{y_3}$ ($0 \leq x_3 < 1$, $0 \leq y_3 < 1$) で表される単結晶の下地層と、絶縁層とを有する基板のプレクリーニングを行なう工程(a)と、

上記工程(a)の後で、上記単結晶の下地層の上に、組成が $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ ($0 \leq x_2 < 1$, $0 \leq y_2 < 1$) で表されるバッファ層を形成すると同時に、上記絶縁層の上に上記バッファ層と実質的に同じ成分の第1の多結晶半導体層を堆積する工程(b)と、

上記工程(b)の後で、上記バッファ層の上に、 $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) で

表される組成を有する半導体層を形成すると同時に、上記絶縁層の上方に、上記第1の多結晶半導体層を覆い、上記半導体層と実質的に同じ成分を有する第2の多結晶半導体層を堆積する工程(c)とを含み、上記半導体層の組成と上記バッファ層の組成との間には、式 $(1-x_2-y_2 > 1-x_1-y_1)$ で表される関係があることを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

10 上記工程(b)では、上記第1の多結晶半導体をほぼ連続した膜として形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項7又は8記載の半導体装置の製造方法において、

上記工程(b)を、上記工程(c)よりも低温で行なうことを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

上記工程(b)と(c)とにおける温度差は、 10°C 以上で 100°C 以下の範囲であることを特徴とする半導体装置の製造方法。

【請求項11】 請求項7～10のうちのいずれか1つに記載の半導体装置の製造方法において、

上記工程(a)は、半導体装置を高温に保持した後、上記工程(b)を行なう温度まで降温するように行なわれ、

上記工程(a)における上記降温の途中において、上記絶縁層の上に上記工程(c)における第1又は第2の多結晶半導体層のエピタキシャル成長のための核の生成を行なうことを特徴とする半導体装置の製造方法。

【請求項12】 請求項7～11のうちのいずれか1つに記載の半導体装置の製造方法において、

上記半導体層は、 SiGe 層又は SiGeC 層であり、上記バッファ層は、シリコン層であることを特徴とする半導体装置の製造方法。

【請求項13】 請求項7～12のうちのいずれか1つに記載の半導体装置の製造方法において、

上記下地層は、コレクタ層であり、

上記半導体層は、少なくとも一部がベース層であり、

30 上記第1、第2の多結晶半導体層は、ベース引き出し電極の少なくとも一部であって、ヘテロバイポーラトランジスタとして機能する半導体装置を形成することを特徴とする半導体装置。

【請求項14】 請求項13記載の半導体装置の製造方法において、

上記第1、第2の多結晶半導体層は、 MIS トランジスタの少なくとも一部であって、 BiCMOS デバイスとして機能する半導体装置を形成することを特徴とする半導体装置。

50 【請求項15】 請求項7～14のうちのいずれか1つに

記載の半導体装置の製造方法において、上記工程 (b) 及び (c) は、超高真空状態で行われることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 7~15 のうちいずれか 1 つに記載の半導体装置の製造方法であって、上記工程 (b) 及び (c) は、400℃から650℃の温度範囲内で行なわれることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エピタキシャルベース層を有するヘテロ接合バイポーラトランジスタとして機能する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来より、シリコンバイポーラトランジスタは、微細加工技術・セルフアライン技術の進展を利用した高速動作化が図られているが、より一層の高速動作化を目指して、ヘテロ接合を有するバイポーラトランジスタ（ヘテロ接合バイポーラトランジスタ）の研究開発が盛んに行われている。特に、最近、SiGe混晶半導体をベース層として用いる試み（SiGeヘテロ接合バイポーラトランジスタ、以下SiGe-HBTと呼ぶ）が積極的になされている。

【0003】図14(a)~(f)は、従来の選択SiGeエピタキシャル成長技術を用いたSiGe-HBTの代表的な製造方法を示す断面図である。

【0004】まず、図14(a)に示す工程で、P型のシリコン基板101上に、イオン注入によってN⁻不純物層102を形成した後、シリコン基板101の上にN⁻エピタキシャル層103を形成する。その後、トレンチ形成技術および酸化膜埋め込み技術を用いて、素子分離用酸化膜104を形成する。

【0005】次に、図14(b)に示す工程で、CVD法により、基板上に酸化膜105、窒化膜106を順次堆積させた後、フォトリソグラフィ技術とエッチング技術を用いて、窒化膜106にコレクタ開口部115（エピタキシャル成長領域）を形成し、さらに、ウエットエッチにより、酸化膜105のうちコレクタ開口部115に露出している部分を除去する。

【0006】次に、MBE、UHV-CVDあるいはLP-CVD技術を用いて、コレクタ開口部115の上に、Siキャップ層、SiGeスペーサ層および傾斜SiGe層からなるSi/SiGe層107をエピタキシャル成長させる。このとき、選択SiGeエピタキシャル成長技術を用いることにより、窒化膜106の上に多結晶膜が堆積されるのを回避することができる。

【0007】次に、図14(c)に示す工程で、基板上に酸化膜109を堆積した後、フォトリソグラフィ技術とエッチング技術とを用いて、Si/SiGe層107の中央部の上に、酸化膜109を残す。

【0008】その後、図14(d)に示す工程で、基板上に、ベース引き出し電極となるポリシリコン膜110を堆積し、このポリシリコン膜110に不純物としてボロンをイオン注入した後、ポリシリコン膜110の上に酸化膜111を堆積する。そして、フォトリソグラフィ技術とエッチング技術とを用いて、酸化膜111及びポリシリコン膜110にエミッタ開口部116を形成する。

【0009】次に、図14(e)に示す工程で、基板上に、酸化膜及び窒化膜を堆積した後、異方性ドライエッチングを行なって、酸化膜111とポリシリコン膜110の側壁に、酸化膜サイドウォール118と窒化膜サイドウォール112とを形成する。さらに、ウエットエッチにより、酸化膜109のうちエミッタ開口部116内で露出している部分を除去する。

【0010】その後、図14(f)に示す工程で、基板上に、エミッタ電極となるN型のポリシリコン膜を堆積する。続いて、フォトリソグラフィ技術とエッチング技術とを用いて、ポリシリコン膜をバターンニングしてエミッタポリシリコン電極113を形成する。その後、RTAなどの熱処理を行い、エミッタポリシリコン電極113からN型不純物を、Si/SiGe層107中のSiキャップ層中に拡散させて、SiGeベース層の上にSiエミッタ層を形成する。この処理により、エミッタベース接合を形成する。

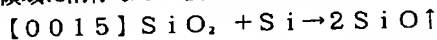
【0011】以上の工程により、Si-SiGeヘテロ接合部を有するSiGe-HBTが形成される。

【0012】図15は、図14(f)のxV-xV線に示す断面におけるSiGe-HBTのSi/SiGe層107の概略的な構成と、深さ方向のGe組成率のプロファイルを示す図である。同図に示すように、Si/SiGe層107は、N⁻エピタキシャル層103の直上に位置するノンドープのSiGeスペーサ層107aと、SiGeスペーサ層107aの上に設けられた傾斜SiGe層107bと、Siキャップ層107cとによって構成されている。そして、Siキャップ層107cのうち上部は、N型不純物が拡散によりドーブされてエミッタ層となり、Siキャップ層107cの下部がベース層の一部となる。そして、傾斜SiGe層107bにおいては、SiGeスペーサ層107aからSiキャップ層107cに向かって、段階的にGe組成率が減少している。

【0013】図16は、従来のSiGeエピタキシャル成長の標準的な処理シーケンスを示す図である。ここでは、UHV-CVD法によるSiGeエピタキシャル膜成長について述べるが、LP-CVD法およびMBE法においても同様の手法でエピタキシャル膜を成長させることができる。

【0014】図16に示されるように、タイミングt100でウエハを反応チャンバー内に投入した後、タイミ

ングt101で、650℃から800℃程度の高温まで昇温し、タイミングt102からt103までの間（例えば2～20分程度の間）アニール（ブレクリーニン）処理を行なう。つまり、シリコン基板の表面上に形成されている自然酸化膜を以下の反応により基板のシリコンと反応させ、蒸気圧の高いSiOとして除去（昇華）することにより、エピタキシャル成長を行ないたい領域に清浄なSi面を露出させる。



次に、タイミングt103からt104までの間で、ウエハの温度を500℃から650℃程度の成長温度まで低下させた後、タイミングt104からt105までの間、ウエハ面内の温度分布が均一化されるまで保持する。その後、タイミングt105から、所定量のジシラン、モノゲルマンおよびジボラン等の原料ガスをプロセスチャンバーに導入することにより膜成長を行う。ここで、各層の成膜は、例えば、SiGeスベサ層107aの成膜は、タイミングt104からt105までの間で、一定流量のジシラン（Si₂H₆）、モノゲルマン（GeH₄）をウエハ上面に供給することにより行なわれる。また、傾斜SiGe層107bの成膜は、タイミングt106からt107の間で、ジシラン、ジボラン（B₂H₆）の流量が一定という条件のもとで、モノゲルマンの流量を段階的に減少させてGe組成率に傾斜を持たせることにより行なわれる。さらに、Siキャップ層107cの成膜は、タイミングt107から所定時間の間、一定流量のジシランをウエハ上面に供給することにより行なわれる。

【0016】ところで、最近では、特開平5-175222公報や特開平6-69434公報に開示されているように、SiGe-HBTの製造に際し、シリコン層の上にSiGeエピタキシャル膜を成長させると同時に、シリコン層の周囲の酸化膜および窒化膜等の絶縁膜上にもSiGe多結晶膜を成長させようとする非選択SiGeエピタキシャル成長技術が、トランジスタの高性能化を実現する技術として有望視されている。この非選択エピタキシャル成長技術を図14（a）～（f）に示す工程に適用すると、窒化膜106とポリシリコン膜110との間に、多結晶Si/SiGe膜が形成されるので、ポリシリコン膜110と多結晶Si/SiGe膜とがベース引き出し電極として機能することになり、ベース引き出し電極の低抵抗化が実現することになる。

【0017】このようなSiGe-HBTの製造に利用される非選択SiGeエピタキシャル成長技術は、以下の点から、トランジスタの電気特性を向上させ、かつ生産を安定して行うことができる有望な技術であると考えられている。

（1）シリコン基板上への単結晶SiGe膜のエピタキシャル成長と同時に、絶縁層の上に多結晶SiGe膜が形成され、この多結晶SiGe膜は多結晶Si膜に比べ

て一般に比抵抗が低い。特に、SiGe-HBTでは、高濃度にドーピングされたSiGe多結晶膜をバイポーラトランジスタのベース引き出し電極の一部として使用することができるため、ベース抵抗のさらなる低減が可能となる。

（2）BiCMOSプロセスにおいては、多結晶SiGe膜をバイポーラトランジスタのベース引き出し電極の一部として用いるだけでなく、MOSTランジスタのゲート電極としても用いることができるので、ゲート抵抗の低減および工程削減が実現できる。

（3）選択SiGeエピタキシャル成長技術を用いた場合、成長条件の微妙な変動により、選択成長性がくずれて、絶縁膜上にも多結晶膜が島状に形成されるなどの現象が発生しやすい。つまり、プロセスマージンが少なく、工程異常が発生しやすい。それに対し、非選択エピタキシャル成長技術を用いた場合、絶縁膜上にも多結晶膜が形成されるため、エピタキシャル成長に起因する工程異常は発生しにくいといわれている。

【0018】

【発明が解決しようとする課題】以上のように、非選択SiGeエピタキシャル成長技術は、SiGe-HBTの電気特性向上の観点から有望な技術であるが、一方で、以下のような不具合もあることがわかっている。

（1）シリコン層上での成長と異なり、酸化膜・窒化膜等の絶縁層上では、ある粒径以上の成長核（臨界核）がある密度以上形成された後、膜成長が始まるため、プロセスガスの供給開始に対して、絶縁層上では成長開始までに時間的な遅れ（潜伏時間）が発生する。

（2）SiGe中のGe組成率の増加に伴い、非選択性が低下する（潜伏時間が長くなる）。

【0019】上記不具合（1）により、SiGe多結晶膜をベース引き出し電極の一部として用いようとしても、Si/SiGe層のエピタキシャル成長中に、絶縁層の上に十分な厚みの多結晶膜を形成することができず、結果的にベース抵抗の低減が実現されないおそれがある。また、上記不具合（2）により、非選択SiGeエピタキシャル成長によるベース抵抗の低減と、Ge組成率の増大による高周波特性の向上の両立が困難となってしまう。

【0020】図17（a）は、上記従来の半導体装置の構造を非選択エピタキシャルを用いて形成したときのSiGeエピタキシャル膜の断面SEM写真図である。ただし、この断面構造の解析に用いたサンプルにおいては、図14（b）に示すような酸化膜105及び窒化膜106の形成は省略されている。図17（a）の写真は、Ge組成率が15%で厚み40nmのSiGeスベサ層107aと、Ge組成率が15%から0%に変化する厚み40nmの傾斜SiGe層107bと、厚み30nmのSiキャップ層107cとを有するサンプルを用いて撮影されたものである。同図に示すように、N⁺

コレクタ層103上にはエピタキシャル成長されたSi/SiGe層107が存在しているにも拘わらず、素子分離用酸化膜104上には、島状の多結晶体が存在するだけで多結晶膜は形成されていない。

【0021】図18は、上記不具合(1)、(2)の原因をさらに詳しく述べるために、SiGeエピタキシャル膜、Siエピタキシャル膜、絶縁層上の多結晶Si膜及び多結晶SiGe膜の原料ガス供給射時間と成長膜厚との関係を模式的に示す図である。図18から以下のことがわかる。

【0022】一般に、Siエピタキシャル膜よりもSiGeエピタキシャル膜の方が成長速度が大きい。SiGeエピタキシャル膜の成長速度は、SiGe中のGe組成率が大きくなるに従って増加する。

【0023】絶縁層上での多結晶Si膜や多結晶SiGe膜の形成の際には、原料ガスの分解によるSiGe成長核の形成と、形成されたSiGeの絶縁層の表面からの脱離反応とが競合するため、原料ガス供給開始から時間的な遅れ(潜伏時間)が現れる。つまり、絶縁層の表面では、ダングリングボンドが終端されているため、臨

10

20

30

40

50

界核形成までにある程度の時間を必要とするが、シリコン層の表面では、ダングリングボンドを有するシリコン原子が露出しているため、Si膜やSiGe膜のエピタキシャル成長は、原料ガス供給開始とほぼ同時に始まり、潜伏時間は事実上ゼロと見なせるからである。

【0024】一方、SiGe-HBTにおいては、Si/SiGe層107の膜厚は、デバイス設計の観点(狙いとする電気特性)から所定の厚みに決定され、それ以上厚いSiGe膜を形成することはできない。また、SiGe-HBTの高周波特性を向上させるためには、よりGe組成率の大きなSiGeエピタキシャル膜を用いることが有利であることが知られている。つまり、SiGe中のGe組成率の増大に伴い、SiGeエピタキシャル膜の成長速度が速くなることから、単結晶SiGe膜のエピタキシャル成長はますます短時間で終了する傾向にあるのに対し、多結晶SiGe膜のための成長核が形成されるまでの潜伏時間(図18参照)はますます長くなる傾向にある。その結果、Ge組成率(平均)が11%程度の高Ge組成率のベース層を有するSiGe-HBTでは、図17(a)に示すような島状の多結晶SiGe体しか成長していないものと推測される。

【0025】以上のように、SiGe-HBTでは、Si/SiGe層107及びその中のSiGe膜の厚みが所定の厚みでなければならないという制約条件のもとで、SiGe膜のエピタキシャル成長を行う必要があるため、非選択エピタキシャル成長を利用して絶縁層の上に十分な膜厚の多結晶膜を形成することが原理的に難しいことがわかった。また、SiGe-HBTなどの半導体デバイスの電気特性向上のために、SiGeエピタキシャル膜中のGe組成率が増大されるに従い、多結晶膜

の形成がますます困難になるという不具合がある。

【0026】さらに、絶縁層の表面上に形成された多結晶膜は、後工程での下地膜となるため、リソグラフィやドライエッチによる加工を安定に行うために、表面モフォロジーも良好でなければならない。

【0027】なお、Ge組成率と選択性の関係については、例えば次の文献を参照することができる。: K. Aketawara Jpn. J. Appl. Phys. Vol. 31 (1992) pp. 1432-1435, "Selective Epitaxial Growth of Si and Si_{1-x}Ge_x Films by Ultrahigh-Vacuum Chemical Vapor Deposition Using Si₂H₆ and GeH₄".

【0028】本発明の目的は、SiGeエピタキシャル成長の非選択性を向上させるための手段を講ずることにより、SiGe-HBT等の半導体デバイスの特性を設計通りに維持しつつ、単結晶半導体層の表面上への単結晶エピタキシャル層の形成と同時に、絶縁層の表面上に十分な膜厚を有する多結晶膜を形成するための半導体装置及びその製造方法を提供することにある。

【0029】

【課題を解決するための手段】本発明の半導体装置は、基板の一部に設けられた単結晶の下地層と、上記基板の他部に設けられた絶縁層と、上記下地層の上方にエピタキシャル成長により形成され、Si_{1-x1-y1}Ge_{x1}C_{y1} (0<x1<1, 0≤y1<1) で表される組成を有する半導体層と、上記下地層と上記第1の半導体層との間にエピタキシャル成長により形成され、組成がSi_{1-x2-y2}Ge_{x2}C_{y2} (0≤x2<1, 0≤y2<1, 1-x2-y2>1-x1-y1) で表されるバッファ層と、上記絶縁層の上に形成され、上記バッファ層と実質的に同じ成分の半導体と、上記半導体層と実質的に同じ成分の半導体とを含む多結晶半導体層とを備えている。

【0030】これにより、下地層と半導体層との間に、Si組成率が半導体層よりも大きいバッファ層が設けられ、絶縁層の上に形成される多結晶半導体は、バッファ層と実質的に同じ組成を有する半導体を含んでいるので、非選択成長性が向上し、比較的膜厚の大きい多結晶半導体層が得られる。

【0031】上記単結晶の下地層は、シリコン層であることが好ましい。

【0032】上記半導体層は、SiGe層又はSiGeC層であり、上記バッファ層は、シリコン層であり、上記多結晶半導体層は、少なくともSiGeを含むことにより、抵抗の小さい多結晶SiGe含む多結晶半導体層が得られる。

【0033】上記下地層は、コレクタ層であり、上記半導体層は、少なくとも一部がベース層であって、上記多結晶半導体層は、ベース引き出し電極の少なくとも一部であり、ヘテロバイポーラトランジスタとして機能する半導体装置を得ることができる。

【0034】上記多結晶半導体層は、MISトランジス

タの少なくとも一部であって、BiCMOSデバイスとして機能する半導体装置を形成することもできる。

【0035】上記バッファ層の厚みは、2nm以上で20nm以下であることが好ましい。

【0036】本発明の半導体装置の製造方法は、組成が $Si_{1-x_1-y_1}Ge_{x_1}C_{y_1}$ ($0 \leq x_1 < 1$, $0 \leq y_1 < 1$) で表される単結晶の下地層と、絶縁層とを有する基板のブレクリーニングを行なう工程(a)と、上記工程(a)の後で、上記単結晶の下地層の上に、組成が $Si_{1-x_2-y_2}Ge_{x_2}C_{y_2}$ ($0 \leq x_2 < 1$, $0 \leq y_2 < 1$) で表されるバッファ層を形成すると同時に、上記絶縁層の上に上記バッファ層と実質的に同じ成分の第1の多結晶半導体層を堆積する工程(b)と、上記工程(b)の後で、上記バッファ層の上に、 $Si_{1-x_1-y_1}Ge_{x_1}C_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) で表される組成を有する半導体層を形成すると同時に、上記絶縁層の上方に、上記第1の多結晶半導体層を覆い、上記半導体層と実質的に同じ成分を有する第2の多結晶半導体層を堆積する工程(c)とを含み、上記半導体層の組成と上記バッファ層の組成との間には、式 $(1-x_2-y_2 > 1-x_1-y_1)$ で表される関係がある。

【0037】この方法により、工程(b)において、バッファ層のSi組成率が比較的大きいことから工程(b)に要する時間が比較的大きくなる。したがって、その間、絶縁層の上には、島状あるいは連続した膜状の第1の多結晶層が確実に形成される。そして、工程(c)において、この第1の多結晶半導体層が第2の多結晶半導体層の形成を促進するので、全体として膜厚の大きい第1、第2の多結晶半導体層が形成されることになる。つまり、工程(c)におけるエピタキシャル成長の非選択性が向上することになる。

【0038】上記工程(b)では、上記第1の多結晶半導体をほぼ連続した膜として形成することが好ましい。

【0039】上記工程(b)を、上記工程(c)よりも低温で行なうことにより、バッファ層の厚みが同じ場合に工程(b)に要する時間を長く確保することができるので、絶縁層の上により確実に第1の多結晶半導体層を形成することができる。

【0040】上記工程(b)と(c)とにおける温度差は、10℃以上で100℃以下の範囲にあることが好ましい。

【0041】上記工程(a)は、半導体装置を高温に保持した後、上記工程(b)を行なう温度まで降温するように行なわれ、上記工程(a)における上記降温の途中において、上記絶縁層の上に上記工程(c)における第1又は第2の多結晶半導体層のエピタキシャル成長のための核の生成を行なうことにより、絶縁層の表面上での核形成を活性に行うことができ、その後の工程(c)でのエピタキシャル成長の非選択性が向上する。

【0042】上記半導体層は、SiGe層又はSiGe

C層であり、上記バッファ層は、シリコン層であることが好ましい。

【0043】上記下地層は、コレクタ層であり、上記半導体層は、少なくとも一部がベース層であり、上記第1、第2の多結晶半導体層は、ベース引き出し電極の少なくとも一部であって、ヘテロバイポーラトランジスタとして機能する半導体装置を形成することにより、ベース抵抗の小さいヘテロバイポーラトランジスタの形成を図ることができる。

【0044】上記第1、第2の多結晶半導体層は、MISトランジスタの少なくとも一部であって、BiCMOSデバイスとして機能する半導体装置を形成することもできる。

【0045】上記工程(b)及び(c)は、超高真空状態で行われることが好ましい。

【0046】上記工程(b)及び(c)は、400℃から650℃の温度範囲内で行なわれることが好ましい。

【0047】

【発明の実施の形態】(第1の実施形態)図1は、本発明の各実施形態に共通の半導体装置であるSiGe-HBTの断面図である。

【0048】同図に示すように、本実施形態のSiGe-HBTは、P型のシリコン基板1と、シリコン基板1に形成されたN⁺不純物層2と、シリコン基板1の上に形成されたN⁻エピタキシャル層3と、活性領域を区画して囲むための素子分離用酸化膜4と、コレクタ開口部15(エピタキシャル成長領域)を有する酸化膜5及びその上の窒化膜6と、コレクタ開口部15の上に設けられたSiバッファ層7d、SiGeスペーサ層7a、傾斜SiGe層7bおよびSiキャップ層7cからなるSi/SiGe層7と、多結晶層8と、エミッタ開口部16を有する酸化膜9と、ベース引き出し電極となるポリシリコン膜10と、ポリシリコン膜10の上に堆積された酸化膜11と、酸化膜11とポリシリコン膜10の側壁に形成された酸化膜サイドウォール18及び窒化膜サイドウォール12と、N型不純物を含むエミッタポリシリコン電極13とを備えている。また、図1の下方に拡大して示すように、Si/SiGe層7中のSiキャップ層7cには、エミッタポリシリコン電極13から拡散したN型不純物を含むエミッタ領域R_{em}が形成されている。

【0049】図2(a)~図3(c)は、本実施形態におけるSiGe-HBTの製造工程を示す断面図である。

【0050】まず、図2(a)に示す工程で、P型のシリコン基板1上に、イオン注入によってN⁺不純物層2を形成した後、シリコン基板1の上に、厚み500nmのシリコン層であるN⁻エピタキシャル層3を形成する。その後、トレンチ形成技術および酸化膜埋め込み技術を用いて、SiGe-HBTのコレクタ層を囲む素子

分離用酸化膜4を形成する。なお、図2(a)～図3(c)には図示されていないが、一方の素子分離用絶縁膜4の右側には、コレクタ電極を引き出すためのコレクタウォール層が形成されている。次に、図2(b)に示す工程で、CVD法により、基板上に厚み50nmの酸化膜5、厚み50nmの窒化膜6を順次堆積させた後、フォトリソグラフィ技術とエッチング技術を用いて、窒化膜6にコレクタ開口部5(エビタキシャル成長領域)を形成し、さらに、ウエットエッチにより、酸化膜5のうちコレクタ開口部5に露出している部分を除去する。

【0051】次に、MBE、UHV-CVDあるいはLP-CVD技術を用いて、コレクタ開口部5の上に、厚み10nmのSiバッファ層7d、厚み15nmのSiGeスペーサ層7a、厚み40nmの傾斜SiGe層7b及び厚み30nmのSiキャップ層7cからなる合計厚み110nmのSi/SiGe層7をエビタキシャル成長させるとともに、窒化膜6の上面上と、酸化膜5及び窒化膜6の側面上とに多結晶層8を堆積する。このとき、後に詳しく説明するSiバッファ層7dを形成して

から、SiGeスペーサ層7aを形成することにより、非選択エビタキシャル成長を確実にこなわせて、窒化膜6の上にも多結晶層8を堆積するようにしている。

【0052】次に、図2(c)に示す工程で、基板上に厚み50nmの酸化膜9を堆積した後、フォトリソグラフィ技術とエッチング技術とを用いて、Si/SiGe層7の中央部の上に、厚み50nmの酸化膜9を残す。

【0053】その後、図3(a)に示す工程で、基板上に、厚み200nmのポリシリコン膜10を堆積し、このポリシリコン膜10に不純物としてボロンをイオン注入した後、ポリシリコン膜10の上に酸化膜11を堆積する。そして、フォトリソグラフィ技術とエッチング技術とを用いて、酸化膜11及びポリシリコン膜10にエミッタ開口部16を形成する。

【0054】次に、図3(b)に示す工程で、基板上に、厚み50nmの酸化膜及び厚み100nmの窒化膜を堆積した後、異方性ドライエッチングを行なって、酸化膜11とポリシリコン膜10の側壁に、酸化膜サイドウォール18と窒化膜サイドウォール12とを形成する。さらに、ウエットエッチにより、酸化膜9のうちエミッタ開口部16内で露出している部分を除去する。

【0055】その後、図3(c)に示す工程で、基板上に、エミッタ電極となるN型のポリシリコン膜を堆積する。続いて、フォトリソグラフィ技術とエッチング技術とを用いて、ポリシリコン膜をパターンニングして、エミッタポリシリコン電極113を形成する。その後、RTAなどの熱処理を行い、エミッタポリシリコン電極13からN型不純物を、Si/SiGe層7中のSiキャップ層7c中に拡散させて、SiGeベース層の上にS

iエミッタ領域Remを形成する。この処理により、エミッターベース接合を形成する。

【0056】以上の工程により、Si-SiGeヘテロ接合部を有するSiGe-HBTが形成される。

【0057】図4は、図1のIV-IV線に示す断面におけるSi/SiGe層7の概略的な構成と深さ方向のGe組成率のプロファイルを示す図である。同図に示すように、本実施形態のSiGe-HBTにおけるSi/SiGe層7は、N⁻エビタキシャル層3の直上に位置するSiバッファ層7dと、Siバッファ層7dの上に設けられたノンドープのSiGeスペーサ層7aと、SiGeスペーサ層7aの上に設けられた傾斜SiGe層7bと、傾斜SiGe層7bの上に設けられたSiキャップ層7cとによって構成されている。そして、Siキャップ層7cのうち上部は、N型不純物が拡散によりドーパされてエミッタ層となり、Siキャップ層7cの下部がベース層の一部となる。そして、傾斜SiGe層7bにおいては、SiGeスペーサ層7aからSiキャップ層7cに向かって、段階的にGe組成率が減少している。

【0058】ここで、本発明の第1の実施形態のSiGe-HBTの構造上の特徴は、コレクタ層であるN⁻エビタキシャル層3と、Si/SiGe層7中のSiGeスペーサ層7aとの間に、膜厚の薄いSiバッファ層7dが形成されている点である。図4の右図に示すように、Siバッファ層7d中のGe組成率はゼロである。ただし、Siバッファ層7dに代えて、Ge組成率が低いSiGeバッファ層を形成しても、後述する効果を発揮することができる。

【0059】図5は、本実施形態におけるSiGeエビタキシャル成長の標準的な処理シーケンスを示す図である。ここでは、UHV-CVD法によるSiGeエビタキシャル膜成長について述べるが、LP-CVD法およびMBE法においても同様の手法でエビタキシャル膜を成長させることができる。

【0060】図5に示すように、本発明の第1の実施形態では、タイミングt1で、超高真空(UHV)状態に排気された反応チャンバー内にウエハを投入した後、タイミングt2で、650℃から800℃程度の高温まで昇温し、タイミングt3からt4までの間(例えば2～20分程度の間)でアニール(プレクリーニング)処理を行なう。つまり、シリコン基板の上面上に形成されている自然酸化膜を以下の反応により基板のシリコンと反応させ、蒸気圧の高いSiO₂として除去(昇華)することにより、エビタキシャル成長を行ないたい領域に清浄なSi面を露出させる。

【0061】 $\text{SiO}_2 + \text{Si} \rightarrow 2\text{SiO}\uparrow$

次に、タイミングt4からt5までの間で、ウエハの温度を500℃から650℃程度の成長温度まで低下させた後、タイミングt5からt6までの間、ウエハ面内の温度分布が均一化されるまで保持する。その後、所定流

量のジシラン (Si_2H_6)、モノゲルマン (GeH_4)、ジボラン (B_2H_6) 等の原料ガスをプロセスチャンバーに導入することにより膜成長を行う。

【0062】ここでの成膜のステップを各層別に詳しく述べる。まず、最初に、タイミングt6からt7までの間(ステップA)で、一定流量のジシランのみを供給することによりSiバッファ層7dが形成される。次に、タイミングt7からt8までの間で、一定流量のジシラン (Si_2H_6)、モノゲルマン (GeH_4) をウエハ上面に供給することにより、SiGeスペーサ層7aの成膜が行なわれる。また、タイミングt8からt9の間で、ジシラン、ジボラン (B_2H_6) の流量が一定という条件のもとで、モノゲルマンの流量を段階的に減少させてGe組成率に傾斜を持たせることにより、傾斜SiGe層7bの成膜が行なわれる。さらに、タイミングt9から所定時間の間、一定流量のジシランをウエハ上面に供給することにより、Siキャップ層7cの成膜が行なわれる。

【0063】図6は、SiGeエビタキシャル膜の成長速度とSiエビタキシャル膜の成長速度とのウエハ温度依存性を比較する図である。同図からわかるように、Siエビタキシャル膜は、SiGeエビタキシャル膜に比べて成長速度が遅いため、同一の膜厚の膜を形成する場合、原料ガス供給時間は、SiGeエビタキシャル膜よりSiエビタキシャル膜の方が長くできる。このため、比較的膜厚が薄いSiバッファ層7dを成膜している間に、酸化膜5や窒化膜6のような絶縁膜の表面上にも十分な成長核を形成することが可能である。よって、Siバッファ層7dのエビタキシャル成長中に、絶縁層の表面上に多結晶Si膜が形成されることが可能であり、あるいは、Siバッファ層7dのエビタキシャル成長中には絶縁層の表面上に成長核しか形成されなかった場合でも、その後のSiGeスペーサ層7aや傾斜SiGe層7bのエビタキシャル成長中に絶縁層の表面上に多結晶SiGe膜が形成されることがになる。なお、一旦、多結晶層が形成されると、それ以降の単結晶SiGe膜のエビタキシャル成長に、シリコン層の表面上への単結晶SiGe膜のエビタキシャル成長と同程度の成長速度で、多結晶SiGe膜が堆積される。

【0064】ただし、Siバッファ層7dを設けたことにより、SiGeスペーサ層7aとSiバッファ層7dとのエネルギーギャップが異なるため、SiGeスペーサ層7aとSiバッファ層7dとの界面に電子に対するエネルギー障壁が形成されることもあり得る。その場合、SiGe-HBTの電気特性、特に高周波特性を劣化させてしまう可能性がある。

【0065】図7は、本発明の第1の実施形態により製造されるSiGe-HBTの高周波特性(最大遮断周波数 f_T)に関してシミュレーションを行なった結果を示す図である。図7において、最大遮断周波数 f_T はSi

バッファ層7dが無い場合の値で規格化されている。ここでのシミュレーションは、Siバッファ層7dの膜厚およびコレクターエミッタ間電圧をパラメータとして実施した。

【0066】図7に示されるように、最大遮断周波数 f_T の劣化率は、Siバッファ層7dの膜厚が10nmで3%程度、20nmまで増加させた場合でも6%程度であることが分かる。これはエミッタから注入された電子は、傾斜SiGe層7bで形成される内蔵電界により十分加速されているため、SiGeスペーサ層7aとSiバッファ層7dの間に形成されるエネルギー障壁を容易に乗り越えることができるためであると考えられる。さらに、傾斜SiGe層7bにおける内蔵電界を大きくすることにより、つまり、SiGe膜中のGe組成率を増大し、傾斜SiGe層7bのGe組成率傾斜を大きくすることにより、最大遮断周波数 f_T の低下率を事実上無視できる程度まで小さくすることが可能である。

【0067】図7からみて、Siバッファ層7dの厚みは、2nm以上で20nm以下の範囲にあることが好ましい。

【0068】図8は、本発明により実際にSiGe-HBTのサンプルを作成したときの高周波特性(最大遮断周波数 f_T と最大発振周波数 f_{max})の実測値のSiバッファ層7dの有無による相違を表にして比較する図である。同図に示すように、Siバッファ層を設けたサンプルについても、Siバッファ層がないものとはほぼ同程度の高周波特性が得られている。

【0069】図17(b)は、後述する実施形態の非選択エビタキシャル技術を用いて形成されたSiGeエビタキシャル膜の断面SEM写真図であるが、本実施形態を用いても、図17(a)に示す構造と基本的に同じ構造が形成されることが確認されている。すなわち、素子分離用酸化膜4上に、十分な厚みの多結晶Si/SiGe膜8を形成することができる。

【0070】本発明の第1の実施形態によると、膜厚が10nm程度のSiバッファ層7dを設けることにより、SiGe-HBTの高周波特性を劣化させることなく、エビタキシャル成長時の非選択性を確保することが可能である。その結果、多結晶Si/SiGe層8をベース引き出し電極の一部として機能させることができるので、ベース抵抗の低減を図ることができる。

【0071】ここで、Siバッファ層7dを形成する過程において、絶縁層の表面では多結晶層が数nm程度しか形成されなかったとしても、あるいは、成長核しか形成されなかったとしても、潜伏時間は既に終了していることから、以降のプロセスで絶縁層の表面上に多結晶層の成長を促進するという目的を十分達成することができる。

【0072】また、Ge傾斜層7bは、電界加速により、高周波特性に影響を及ぼさないSiバッファ層7d

の膜厚範囲を大きくする、つまり、デバイス設計マージンを広げるという効果があるが、本発明に本質的な構造ではない。すなわち、ベース層が傾斜Ge構造を有していない、いわゆるボックス型のGe組成率のプロファイルを有するSiGe-HBTにおいても、本発明は有用である。

【0073】また、Siバッファ層7dの代わりに、SiGeスペーサ層7aの下方に、Ge組成率がSiGeスペーサ層7aよりも低いSiGeバッファ層を設けても、本発明の基本的な効果を発揮することは可能である。その場合にも、Ge組成率が低い(Si組成率が高い)、つまり、エピタキシャル成長速度がSiGeスペーサ層7aよりも遅いSiGeバッファ層をエピタキシャル成長させるために、原料ガス供給時間が長くなる。したがって、その間に絶縁層の表面上に成長核や多結晶SiGe膜を形成することが可能である。また、SiGeバッファ層を設けた場合には、Siバッファ層7dよりもSiGeスペーサ層7aとの界面に形成されるエネルギー障壁を小さくできるため、SiGe-HBTの高周波特性の低下を防ぎつつ、エピタキシャル成長の非選択性を向上させることができる。

【0074】また、Siバッファ層7dは、シリコン層であるN⁻エピタキシャル層3と単結晶SiGe膜との間に生じる歪みを抑制する役割も果たすため、歪み緩和を生じる臨界膜厚が厚くなる。したがって、エピタキシャル成長の非選択性を向上させる効果と共に、悪影響を回避しつつ、ベース層中のGe組成率を増加させることができるという利点がある。

【0075】(第2の実施形態)本発明の第2の実施形態は、Si表面に一定膜厚のSiバッファ層7dを形成するために要する時間を第1の実施形態よりも増加させることにより、エピタキシャル成長の非選択性をさらに増大して、絶縁層の表面上における多結晶層の形成を促進する方法に関する。

【0076】図9は、本実施形態におけるSiGeエピタキシャル成長の標準的な処理シーケンスを示す図である。ここでは、UHV-CVD法によるSiGeエピタキシャル膜成長について述べるが、LP-CVD法およびMBE法においても同様の手法でエピタキシャル膜を成長させることができる。

【0077】図9に示すように、本発明の第2の実施形態においても、タイミングt1で、反応チャンパー内にウエハを投入した後、タイミングt2で昇温し、タイミングt3からt4までの間でアニール(ブレクリーニング)処理を行なった後、タイミングt4からt5までの間で、ウエハの温度を低下させる処理は、第1の実施形態とほぼ同様である。ただし、タイミングt5におけるウエハ温度は第1の実施形態とは異なっている。また、タイミングt7からt8までの間にSiGeスペーサ層7aの成膜を行ない、タイミングt8からt9の間に傾

斜SiGe層7bの成膜を行ない、タイミングt9から所定時間の間にSiキャップ層7cの成膜を行なう処理についても、第1の実施形態と同じである。

【0078】ここで、本実施形態の特徴は、Siバッファ層7dの成膜を行なう際のウエハ温度を、SiGeスペーサ層7a、傾斜SiGe層7b及びSiキャップ層7cの成膜を行なうときのウエハ温度よりも低くすることにある。

【0079】すなわち、図9に示すように、本実施形態では、タイミングt5で、ウエハ温度を第1の実施形態よりもさらに低温にまで下げてから、ウエハ温度が安定するまで待って、タイミングt11からt12までの間で、所定流量のジシラン(Si₂H₆)の供給を行なって、Siバッファ層7dの成膜を行なう(ステップA')。その後、タイミングt12からt13までの間で、ウエハ温度を昇温し、タイミングt13からt7までの間、ウエハ温度を安定させてから、タイミングt7以降の処理を行なう。

【0080】ここで、ステップA'におけるウエハ温度(成長温度)を下げることの効果について説明する。

【0081】図10は、Siエピタキシャル膜の成長速度のウエハ温度依存性を示す図である。同図に示すように、ウエハ温度が600℃のときの成長速度を基準とすると、ウエハ温度を20℃程度下げる(580℃)ことにより、エピタキシャル成長速度が半減し、ウエハ温度を40℃程度下げる(560℃)ことにより、エピタキシャル成長速度は1/4程度に低下することがわかる。このように、Siエピタキシャル膜の成長速度は、ウエハ温度に対して敏感であることが分かる。したがって、Siバッファ層7dの膜厚が一定である場合でも、成長温度を低下させることにより、Siバッファ層7dの成長速度を低下させることができる。そして、Siバッファ層7dの成長速度を低下させることにより、ステップA'における原料ガス供給時間を長くすることができるので、その間、絶縁層の表面上にも十分な成長核、あるいは、多結晶層を形成することが可能となり、その後のSiGeスペーサ層7a、傾斜SiGe層7b及びSiキャップ層7cの形成の際に、絶縁層の表面上に比較的厚めの多結晶層を形成することができる。

【0082】なお、ウエハ温度を20℃程度低下させることにより、その前後に温度安定のための保持時間が必要となるが、わずかの時間の追加で済むので、実用上不利益を招くほどのスループットの低下は生じない。

【0083】そして、Siバッファ層7dを形成した後のSiGeスペーサ層7aや傾斜SiGe層7bの成膜を本来のウエハ温度に戻して行なうことにより、処理時間の増加を防ぐことができる。

【0084】さらに、Siバッファ層7dを低温でエピタキシャル成長させることにより、狙い膜厚が同じでも、原料ガス供給時間を長くできることから、絶縁層の

表面上での分解反応を緩やかに行なうことができる。その結果、絶縁層の表面上で比較的均質な核形成が行なわれるようになるので、表面モフォロジーの良好な多結晶層を形成することが可能となる。

【0085】本実施形態では、標準的なエピタキシャル成長温度を600℃として説明を行なったが、この温度は本発明において本質的なものではない。すなわち、標準的なエピタキシャル成長温度が600℃でない条件下においても、単結晶SiGe膜のエピタキシャル成長温度に対して、Siバッファ層7dの成長温度を相対的に低下させて、原料ガス供給時間を延ばすことにより、本実施形態と様の効果を得ることができる。特に、ウエハ温度が400℃から650℃の温度範囲内でエピタキシャル成長を行なわせることが好ましい。

【0086】さらに、本実施形態におけるエピタキシャル成長条件では、エピタキシャル成長温度を20℃程度低下させると、絶縁層の表面上に十分厚い多結晶層を形成することができるが、この温度の低下幅20℃は、本発明に本質的なものではない。すなわち、成長条件および狙いとするSiGe-HBTのベース構造に合わせて、適宜設定することにより、同様の効果を得ることができる。

【0087】ただし、図10からみて、本発明の効果を確実に発揮するためには、ウエハ温度の低下幅が10℃以上で100℃以下の範囲にあることが好ましい。

【0088】以上のことより、Siバッファ層7dの成長温度のみ本来より下げるることにより、スループットの低下を生じることなく、SiGeエピタキシャル成長の非選択性を増加させ、絶縁膜表面に良好なモフォロジーと十分な膜厚を有する多結晶層を形成することができる。

【0089】本実施形態においても、Ge傾斜層7bは、電界加速により、高周波特性に影響を及ぼさないSiバッファ層7dの膜厚範囲を大きくする。つまり、デバイス設計マージンを広げるという効果があるが、本発明に本質的な構造ではない。すなわち、ベース層が傾斜Ge構造を有していない、いわゆるボックス型のGe組成率のプロファイルを有するSiGe-HBTにおいても、本発明は有用である。

【0090】また、本実施形態においても、Siバッファ層7dの代わりに、SiGeスペーサ層7aの下方に、Ge組成率がSiGeスペーサ層7aよりも低いSiGeバッファ層を設けることにより、本発明の基本的な効果を発揮することは可能である。

【0091】さらに、Siバッファ層7dを形成しない場合でも、SiGeスペーサ層7a、あるいはSiGeスペーサ7aの一部の形成過程において、成長温度を本来より低下させることによっても、スループットの増加を最小限に抑えつつ、エピタキシャル成長の非選択性を向上させる効果を得ることができる。

【0092】(第3の実施形態) 本発明の第3の実施形態は、Siバッファ層7dのエピタキシャル成長において、エピタキシャル膜厚が一定であるという制約条件の下で、Siバッファ層7dの膜厚や成膜時間に影響を与えることなく、絶縁層の表面上での臨界核形成を促進することにより、エピタキシャル成長の非選択性をさらに向上させて、絶縁層の表面上での多結晶層の形成を促進する方法に関する。

【0093】図11は、Siエピタキシャル膜の成長速度の原料ガス(ジシラン)流量依存性を成長温度をパラメータとして示す図である。同図から、成長温度の低下と共にSiエピタキシャル膜の成長速度の原料ガス流量依存性が小さくなっていることがわかる。これは、ウエハ温度が低温の領域では、エピタキシャル成長が反応律速条件下で行われていることを意味する。すなわち、反応律速条件下では、原料ガス流量が成長速度に及ぼす影響は無視できるほど小さい。

【0094】一方、原料ガスの流量を増大させることにより、絶縁層の表面上に供給される原料ガスの分子数が増加して核形成が促進されるため、絶縁層の表面上に多結晶層が形成されやすくなる。つまり、絶縁層の表面上での核形成を促進することによって原料ガスの供給開始から多結晶層成長が始まるまでの時間である潜伏時間を短縮できるので、Siバッファ層7dのエピタキシャル成長のための時間が同じでも、潜伏時間の短縮分だけ、絶縁層の表面上に厚い多結晶層を形成することが可能となる。

【0095】本実施形態においては、上記の現象を利用して、本発明の第1の実施形態と同様に、図5に示すシーケンスの手順で、Siバッファ層7d、SiGeスペーサ層7a、傾斜SiGe層7b及びSiキャップ層7cの成膜をおこなうが、図5に示すステップAの処理、つまり、Siバッファ層7dの形成の際の原料ガス(ジシラン)の流量を、第1の実施形態よりも増大させる。

【0096】本実施形態によると、Siバッファ層7dの成長の際(ステップA)に、成長速度の原料ガス(ジシラン)流量依存性は小さいため、Siバッファ層7dの膜厚が一定という制約条件の下においても、ガス供給時間をほぼ同程度に維持しつつ、原料ガスの流量の増加によって、絶縁層の表面上での核形成を促進することができるので、SiGeエピタキシャル成長の非選択性をより向上させることができる。

【0097】この場合、Siバッファ層7d形成過程での原料ガス流量は、可能な限り大きい方が好ましい。

【0098】また、図5に示すシーケンスにおいて、ジシラン流量を増加させたまま、SiGeエピタキシャル膜の成長を行おうとすると、単結晶SiGe膜中に含まれるGe組成率は、原料ガス(ジシランとゲルマン)の流量比によって決定されるため、ジシランの流量を増加させたことにより、ゲルマンの流量も増加させる必要が

生じる。このため、マスフローコントローラを使用流量に適したサイズに交換を行う必要性等が発生し好ましくない。そこで、SiGe膜を形成する際には、ジシラン流量を第1の実施形態と同じ条件に戻すことが好ましい。

【0099】さらに、使用する原料ガスの総量が多くなると、製造コストの増加を招いてしまうが、本実施形態のように、Siバッファ層7dの成膜の際（ステップA）のみ、ジシラン流量を増加させる手法では、このような不具合は生じない。

【0100】また、Siバッファ層7dの成膜の際に、第2の実施形態のように成長温度を低下させる方法と、第3の実施形態のように原料ガス流量を増大させる方法とを組み合わせることにより、それぞれの手法を個別に用いる以上に、SiGeエピタキシャル成長の非選択性を向上させることが可能となる。

【0101】図17(b)は、本発明の第2の実施形態と第3の実施形態とを組み合わせた非選択エピタキシャル技術を用いて形成されたSiGeエピタキシャル膜の断面SEM写真図である。ただし、この断面構造の解析に用いたサンプルにおいては、図1に示すような酸化膜5及び窒化膜6の形成は省略されている。図17(b)の写真は、厚み10nmのSiバッファ層7dと、Ge組成率が5%で厚み30nmのSiGeスペーサ層7aと、Ge組成率が15%から0%に変化する厚み40nmの傾斜SiGe層7bと、厚み30nmのSiキャップ層7cとを有するサンプルを用いて撮影されたものである。ここでは、従来の製造方法からジシラン流量を2倍に、Siバッファ層7dを10nm（Siバッファ層7d成長時のみ成長温度を20℃低下）させた。

【0102】同図に示すように、N⁻コレクタ層3上にはエピタキシャル成長されたSi/SiGe層7が存在し、素子分離用酸化膜4上には、十分な厚みの多結晶Si/SiGe膜8が形成されている。すなわち、従来の製造方法により成長した場合（図17(a)参照）と比較して、絶縁層である素子分離用酸化膜の上に厚く、表面モフォロジーが良好な多結晶層を形成することができる。また、エピタキシャル膜の形状は従来の製造方法で作成した場合（図17(a)参照）と同等であることが確認できる。

【0103】（第4の実施形態）本発明の第4の実施形態は、エピタキシャル成長前に行なわれる自然酸化膜除去のための高温熱処理（ブレクリーニンング処理）を有効に利用する方法に関する。具体的には、ブレクリーニンング中、もしくはブレクリーニンング後、またはブレクリーニンング後の降温の際に、短時間の原料ガスの供給を行うことにより、絶縁層の表面上にある程度の密度で臨界核以上の大きさの核形成を行い、エピタキシャル成長の非選択性をさらに向上させて、絶縁層の表面上の多結晶層の形成を促進する方法に関する。

【0104】通常、絶縁層の表面上での核形成は、絶縁層の表面での反応種の分解、泳動、会合等の過程を経て行われるが、成長温度を高くした場合、これらの過程の中でも特に分解反応が活発になり、核形成が促進される。ただし、単純に成長温度を高くしただけでは、シリコン層の表面上におけるエピタキシャル層の成長速度も増加してしまうため、エピタキシャル層の膜厚が一定であるという条件のもとでは、成膜時間を短くする必要が生じてしまう。その結果、逆に核形成が抑制されてしまうことになる。

【0105】このように、SiGe-HBTのベース層にSiGeエピタキシャル膜を用いる場合には、「エピタキシャル膜厚が一定であること」という制約条件があり、核成長を行うのに十分な成長時間の維持と成長温度を高温化にすることによる核形成の促進を両立することが困難となるが、本実施形態においては、その困難性を克服するために、バッファ層の形成の前に、核生成ステップBを行なっている。すなわち、本実施形態の特徴は、ブレクリーニンング後の降温過程で、一旦温度を安定させ、短時間の原料ガス（ジシラン）供給を行なった後、改めてエピタキシャル成長温度まで降温させ、エピタキシャル成長を行う点である。この核生成ステップBを加えるタイミングについては、以下に説明するように、2通りの方法がある。

【0106】図12は、本実施形態の第1例におけるSiGeエピタキシャル成長の標準的な処理シーケンスを示す図であって、第1の実施形態の処理シーケンス（図5参照）において、核生成ステップBを加えた例である。ここでは、UHV-CVD法によるSiGeエピタキシャル膜成長について述べるが、LP-CVD法およびMBE法においても同様の手法でエピタキシャル膜を成長させることができる。

【0107】図12に示すように、タイミングt1で、反応チャンバー内にウェハを投入した後、タイミングt2で昇温し、タイミングt3からt4までの間でアニール（ブレクリーニンング）処理を行なった後、タイミングt4からt5までの間で、ウェハの温度を低下させる処理は、第1の実施形態とはほぼ同様である。ただし、タイミングt4からt5に到達するまでの間に、核生成ステップBを行なう。また、タイミングt5からt6までの間、ウェハ温度を安定させてから、タイミングt6からt7までの間でSiバッファ層7dをエピタキシャル成長させるステップAを行ない、タイミングt7からt8までの間にSiGeスペーサ層7aの成膜を行ない、タイミングt8からt9の間に傾斜SiGe層7bの成膜を行ない、タイミングt9から所定時間の間にSiキャップ層7cの成膜を行なう処理については、第1の実施形態と同じである。

【0108】そして、図12に示すように、本例は、タイミングt21で、ウェハ温度の降温を第1の実施形態

よりも高い温度で止めて、タイミングt21からt22までの間、ウエハ温度が安定するまで待って、タイミングt22からt23までの間で、所定流量のジシラン(Si, H₂)の供給を短時間の間行なう(ステップB)。このステップBの処理は、成長核の生成が行なわれる程度の短時間にとどめておく。その後、タイミングt23からt5までの間で、ウエハ温度を降温した後、タイミングt5以降の処理を行なう。

【0109】図13は、本実施形態の第2例におけるSiGeエビタキシャル成長の標準的な処理シーケンスを示す図であって、第2の実施形態の処理シーケンス(図9参照)において、核生成ステップBを加えた例である。ここでは、UHV-CVD法によるSiGeエビタキシャル膜成長について述べるが、LP-CVD法およびMBE法においても同様の手法でエビタキシャル膜を成長させることができる。

【0110】図13に示すように、タイミングt1で、反応チャンパー内にウエハを投入した後、タイミングt2で昇温し、タイミングt3からt4までの間でアニール(ブレクリーニング)処理を行なった後、タイミングt4からt5までの間で、ウエハ温度を降温する処理は、第1の実施形態と同じである。また、タイミングt7からt8までの間にSiGeスペーサ層7aの成膜を行ない、タイミングt8からt9の間に傾斜SiGe層7bの成膜を行ない、タイミングt9から所定時間の間にSiキャップ層7cの成膜を行なう処理についても、第1の実施形態と同じである。また、タイミングt5で、ウエハ温度を第1の実施形態よりもさらに低温にまで下げてから、ウエハ温度が安定するまで待って、タイミングt11からt12までの間で、所定流量のジシラン(Si, H₂)の供給を行なって、Siバッファ層7dの成膜を行なう(ステップA')。その後、タイミングt12からt13までの間で、ウエハ温度を昇温し、タイミングt13からt7までの間、ウエハ温度を安定させてから、タイミングt7以降の処理を行なう点は、第2の実施形態と同じである。

【0111】そして、図13に示すように、この例では、タイミングt31で、ウエハ温度の降温を第1の実施形態よりも高い温度で止めて、タイミングt31からt32までの間、ウエハ温度が安定するまで待って、タイミングt32からt33までの間で、所定流量のジシラン(Si, H₂)の供給を短時間の間行なう(ステップB)。このステップBの処理は、成長核の生成が行なわれる程度の短時間にとどめておく。その後、タイミングt33からt5までの間で、ウエハ温度を降温した後、タイミングt5以降の処理を行なう。

【0112】このように、ブレクリーニング後の降温途中の比較的温度が高い状態で原料ガス(ジシラン)を供給することで、絶縁層の表面上での核形成を活発に行うことができる。この間、短時間しか原料ガスの供給を行

わないので、この過程でのシリコン層の表面上でのエビタキシャル成長は抑制することができ、エビタキシャル膜は薄くしか成長しない。このように、ブレクリーニング後に短時間のガス供給を行い、かつ、Siバッファ層7dの成長は、低温でさらに原料ガス流量を増大させて行なうことにより、従来の製造方法に対して各処理を単独で用いるよりも、さらにエビタキシャル成長の非選択性を向上させることができる。

【0113】また、ここではブレクリーニング後、一旦ウエハ温度を降温させ、ウエハ温度を安定させた後、ジシランの供給を行なっている(図12及び図13のステップB参照)が、ブレクリーニングで自然酸化膜除去後、降温開始前にジシランの供給を行なってもよい。

【0114】また、ブレクリーニング後のガス供給が短時間であるため、ガス供給前の安定時間を省略し、降温中にガス供給を行なってもよい。

【0115】さらに、ここではジシランを短時間供給し、核形成を行なっているが、ジシランとゲルマン、あるいはゲルマンのみを供給しても、核形成を行なうことができる。

【0116】また、本発明のSiGe-HBT構造では、エビタキシャル成長領域以外は窒化膜で覆われているが、窒化膜以外の絶縁膜で覆われていても構わない。特に酸化膜の場合は、酸化膜上の核形成は酸化膜の分解反応($\text{SiO}_2 + \text{Si} \rightarrow 2\text{SiO}$)との競合反応として行われるが、ガス供給時の温度・時間・流量等の製造条件を適宜選択することにより、核形成を優先的に行うことができる。

【0117】なお、本発明は、上述した第1～第4の実施形態に限定されるものではなく、ベース層をSiとGeを含む2元素の混晶半導体層に代えて、例えばSiとGeとカーボン(C)を含む3元素の混晶半導体層(Si_{1-x-y}Ge_xC_y層)としても同様の効果が得られる。さらに、混晶半導体層を有するHBTに代えて、例えばインジウム(In)とガリウム(Ga)とPを含む化合物半導体層を有するHBTに適用としても同様の効果が得られる。

【0118】また、ベース層などを形成するための下地(本実施形態ではコレクタ層)が、シリコン層である場合に限らず、SiGe層やSiGeC層であっても、本発明を適用することにより、ほぼ同等の効果を発揮することができる。

【0119】さらに、上記各実施形態においては、絶縁層の上の多結晶層8がバイポーラトランジスタのベース引き出し電極として機能する場合について説明したが、本発明はかかる実施形態に限られるものではなく、例えばBiCMOSデバイスのMISTランジスタにおけるゲート電極又はゲート電極の一部として機能させることもできる。その場合にも、多結晶SiGe膜や多結晶S

iGeC膜の低抵抗性を利用して、駆動力の高いMISトランジスタを備えたBiCMOSが得られることになる。

【0120】

【発明の効果】本発明によれば、単結晶の下地層の上に半導体層を形成する前に、半導体層よりもSi組成率の高いバッファ層を形成するようにしたので、半導体層を警醒する際のエピタキシャル成長の非選択性の向上を図ることができ、よって、比較的膜厚の大きい多結晶層を得ることができる。

【図面の簡単な説明】

【図1】本発明の各実施形態に共通の半導体装置であるSiGe-HBTの断面図である。

【図2】(a)～(c)は、本発明の第2の実施形態におけるSiGe-HBTの製造工程のうち前半部分を示す断面図である。

【図3】(a)～(c)は、本発明の第2の実施形態におけるSiGe-HBTの製造工程のうち後半部分を示す断面図である。

【図4】図1のIV-IV線に示す断面におけるSi/SiGe層の概略的な構成と深さ方向のGe組成率のプロファイルを示す図である。

【図5】本発明の第1の実施形態におけるSiGeエピタキシャル成長の標準的な処理シーケンスを示す図である。

【図6】第1の実施形態におけるSiGeエピタキシャル膜の成長速度とSiエピタキシャル膜の成長速度とのウェハ温度依存性を比較する図である。

【図7】本発明の第1の実施形態により製造されるSiGe-HBTの最大遮断周波数に関してシミュレーションを行なった結果を示す図である。

【図8】本発明により実際にSiGe-HBTのサンプルを作成したときの高周波特性の実測値のSiバッファ層の有無による相違を表にして比較する図である。

【図9】本発明の第2の実施形態におけるSiGeエピタキシャル成長の標準的な処理シーケンスを示す図である。

【図10】Siエピタキシャル膜の成長速度のウェハ温度依存性を示す図である。

【図11】Siエピタキシャル膜の成長速度の原料ガス流量依存性を成長温度をパラメータとして示す図であ

＊る。

【図12】本発明の第4の実施形態の第1例におけるSiGeエピタキシャル成長の標準的な処理シーケンスを示す図である。

【図13】本発明の第4の実施形態の第2例におけるSiGeエピタキシャル成長の標準的な処理シーケンスを示す図である。

【図14】(a)～(f)は、従来の選択SiGeエピタキシャル成長技術を用いたSiGe-HBTの代表的な製造方法を示す断面図である。

【図15】図14(f)のxv-xv線に示す断面におけるSiGe-HBTのSi/SiGe層107の概略的な構成と、深さ方向のGe組成率のプロファイルを示す図である。

【図16】従来のSiGeエピタキシャル成長の標準的な処理シーケンスを示す図である。

【図17】(a), (b)は、それぞれ順に、従来及び本発明の非選択エピタキシャル技術を用いて形成されたSiGeエピタキシャル膜の断面SEM写真図である。

【図18】SiGeエピタキシャル膜、Siエピタキシャル膜、絶縁膜上の多結晶Si膜及び多結晶SiGe膜の原料ガス供給射時間と成長膜厚との関係を模式的に示す図である。

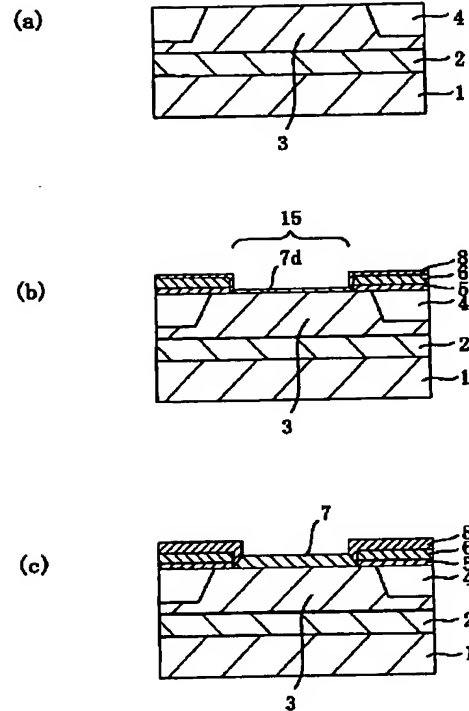
【符号の説明】

- 1 N⁻コレクタ層(P型シリコン基板上)
- 2 SiGeエピタキシャル層
- 3 多結晶層
- 4 N⁻エピタキシャル層
- 7a SiGeスペーサ層
- 7b 傾斜SiGe層
- 7c Siキャップ層
- 7d Siバッファ層
- 8 多結晶層
- 9 酸化膜
- 10 ポリシリコン膜
- 11 酸化膜
- 12 窒化膜サイドウォール
- 13 エミッタポリシリコン電極
- 14 エミッタ拡散層
- 15 コレクタ開口部(エピタキシャル成長領域)
- 16 エミッタ開口部

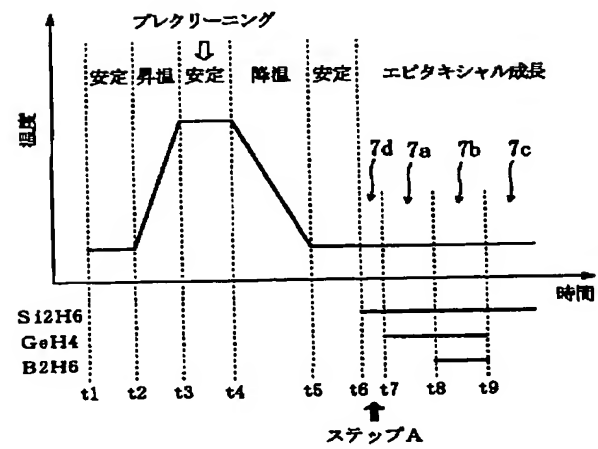
【図8】

エビ構造	$f_{max}(V_{CE}=2V)$	$f_{max}(V_{CE}=2V)$
Siバッファ層無し	41.6GHz	51.6GHz
Siバッファ層有り(10nm)	40.3GHz	52.3GHz

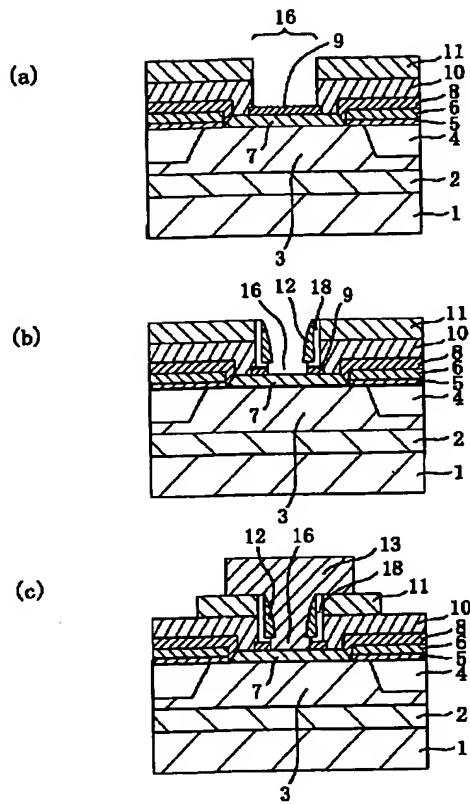
【圖2】



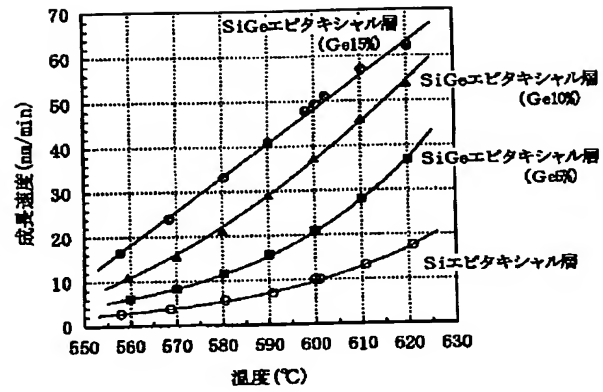
【圖5】



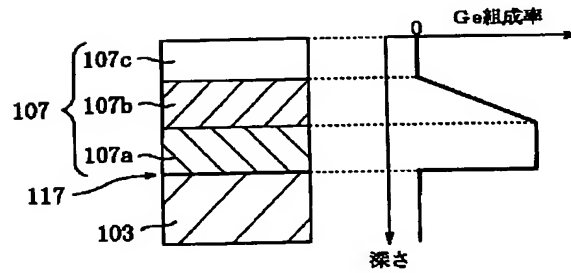
【図3】



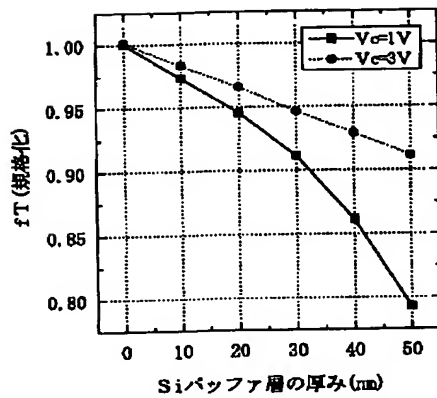
【図6】



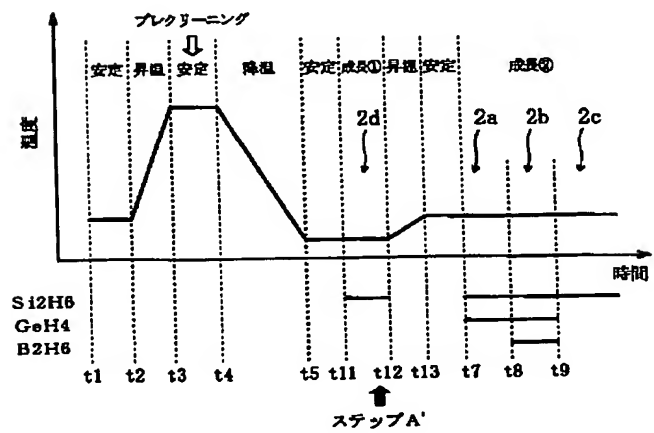
【図15】



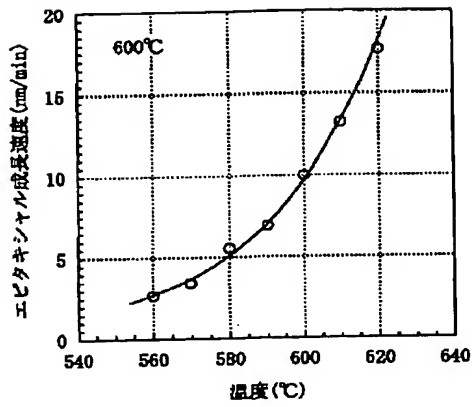
【図7】



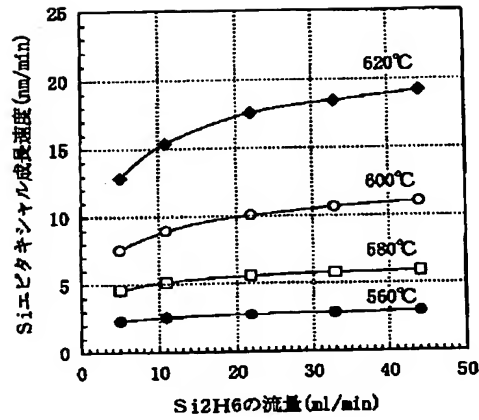
【図9】



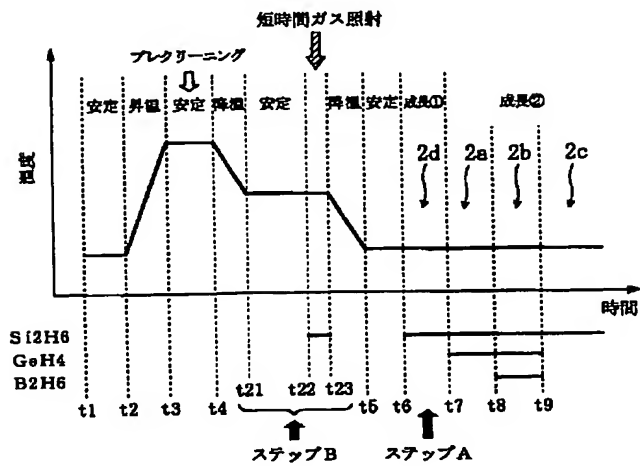
【図10】



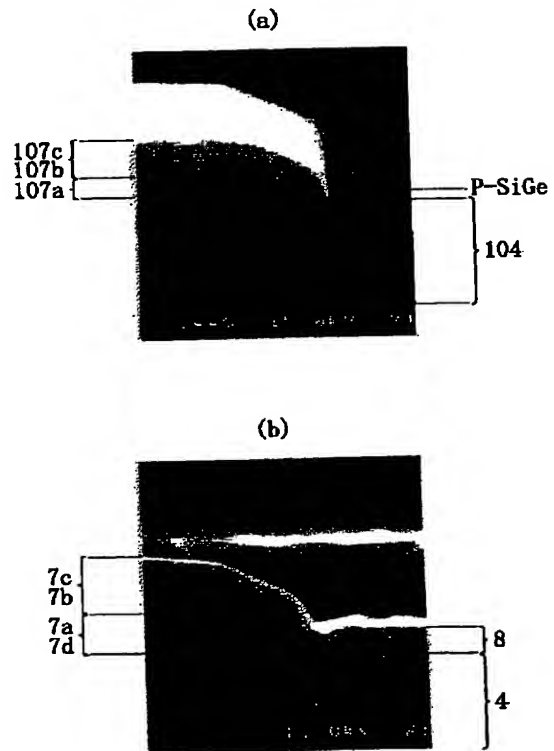
【図11】



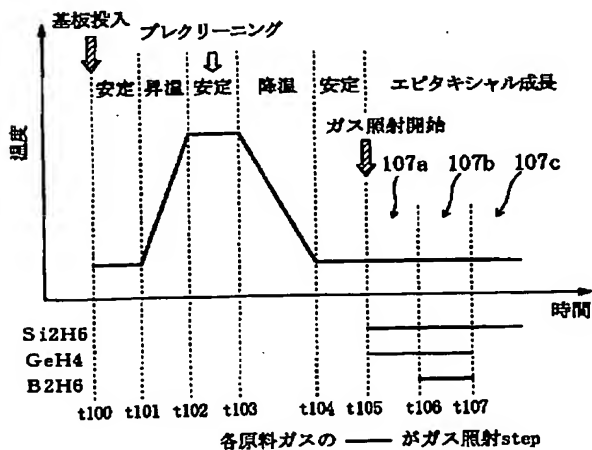
【図12】



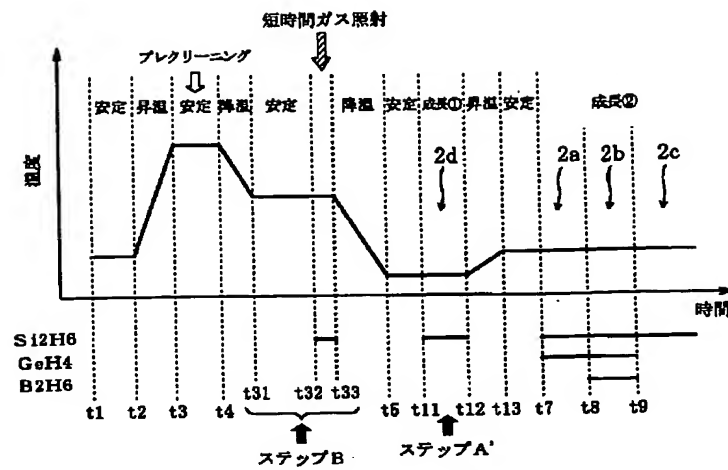
【図17】



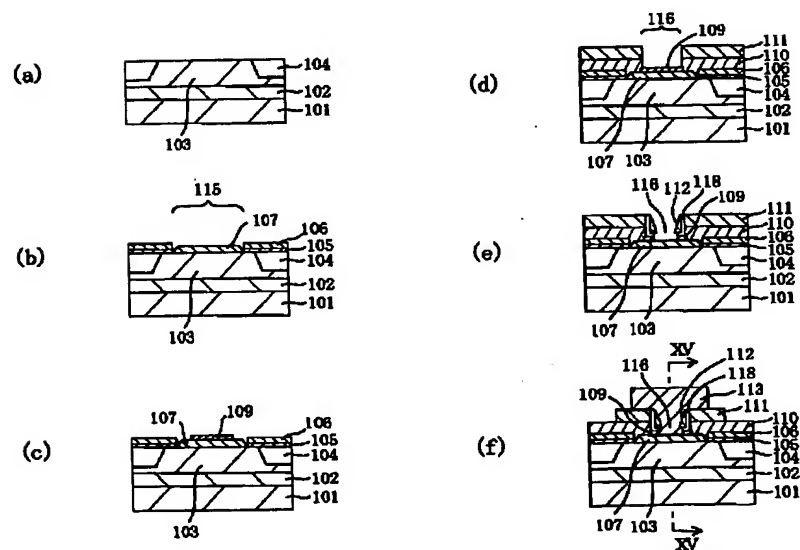
【図16】



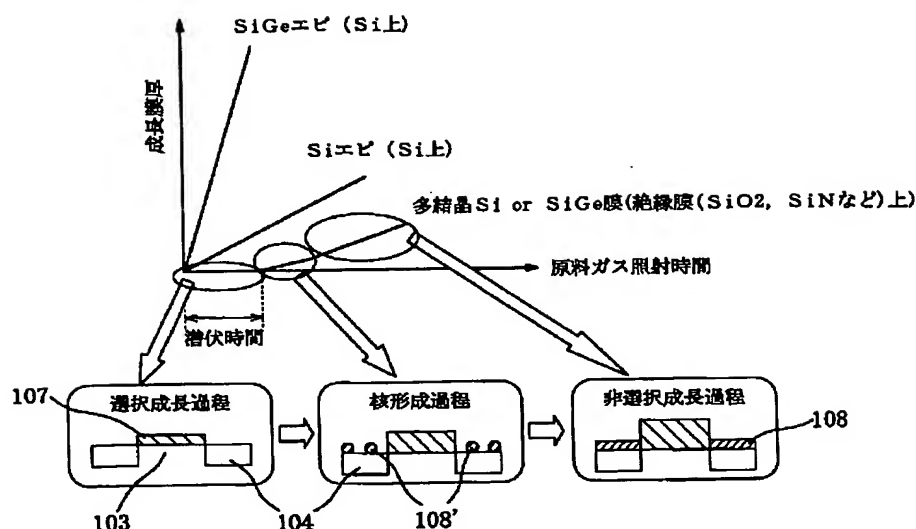
【図13】



【図14】



【図18】



【手続補正書】

【提出日】平成14年12月13日(2002. 12. 13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】まず、図2(a)に示す工程で、P型のシリコン基板1上に、イオン注入によってN⁺不純物層2を形成した後、シリコン基板1の上に、厚み500nmのシリコン層であるN⁻エピタキシャル層3を形成する。その後、トレンチ形成技術および酸化膜埋め込み技術を用いて、SiGe-HBTのコレクタ層を囲む素子分離用酸化膜4を形成する。なお、図2(a)～図3(c)には図示されていないが、一方の素子分離用絶縁膜4の右側には、コレクタ電極を引き出すためのコレクタウォール層が形成されている。次に、図2(b)、(c)に示す工程で、CVD法により、基板上に厚み50nmの酸化膜5、厚み50nmの窒化膜6を順次堆積させた後、フォトリソグラフィ技術とエッチング技術を用いて、窒化膜6にコレクタ開口部5(エピタキシャル成長領域)を形成し、さらに、ウェットエッチにより、酸化膜5のうちコレクタ開口部5に露出している部分を除去する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】次に、MBE、UHV-CVDあるいはLP-CVD技術を用いて、コレクタ開口部5の上に、厚み10nmのSiバッファ層7d、厚み30nmのSiGeスペーサ層7a、厚み40nmの傾斜SiGe層7b及び厚み30nmのSiキャップ層7cからなる合計厚み110nmのSi/SiGe層7をエピタキシャル成長させるとともに、窒化膜6の上面と、酸化膜5及び窒化膜6の側面上とに多結晶層8を堆積する。このとき、後に詳しく説明するSiバッファ層7dを形成してから、SiGeスペーサ層7aを形成することにより、非選択エピタキシャル成長を確実にこなわせて、窒化膜6の上にも多結晶層8を堆積するようにしている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】次に、図3(a)に示す工程で、基板上に厚み50nmの酸化膜9を堆積した後、フォトリソグラフィ技術とエッチング技術とを用いて、Si/SiGe層7の中央部の上に、厚み50nmの酸化膜9を残す。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正内容】

【0053】その後、基板上に、厚み200nmのポリシリコン膜10を堆積し、このポリシリコン膜10に不純物としてボロンをイオン注入した後、ポリシリコン膜10の上に酸化膜11を堆積する。そして、フォトリソグラフィ技術とエッチング技術とを用いて、酸化膜11及びポリシリコン膜10にエミッタ開口部16を形成する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正内容】

【0069】図17(b)は、後述する実施形態の非選択エビタキシャル技術を用いて形成されたSiGeエビタキシャル膜の断面SEM写真図であるが、本実施形態を用いても、図17(a)に示す構造と基本的に同じ構造が形成されることが確認されている。すなわち、素子分離用酸化膜4上に、十分な厚みの多結晶Si/SiGe*

* e層8を形成することができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正内容】

【0101】図17(b)は、本発明の第2の実施形態と第3の実施形態とを組み合わせた非選択エビタキシャル技術を用いて形成されたSiGeエビタキシャル膜の断面SEM写真図である。ただし、この断面構造の解析に用いたサンプルにおいては、図1に示すような酸化膜5及び窒化膜6の形成は省略されている。図17(b)の写真は、厚み10nmのSiバッファ層7dと、Ge組成率が15%で厚み30nmのSiGeスペーサ層7aと、Ge組成率が15%から0%に変化する厚み40nmの傾斜SiGe層7bと、厚み30nmのSiキャップ層7cとを有するサンプルを用いて撮影されたものである。ここでは、従来の製造方法からジシラン流量を2倍に、Siバッファ層7dを10nm(Siバッファ層7d成長時のみ成長温度を20℃低下)させた。

フロントページの続き

(51)Int.Cl.

H01L 29/732
29/737

識別記号

FI

テマコード (参考)

(72)発明者 能澤 克弥

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考)

5F003 BB01 BB04 BB05 BB06 BB08
BB90 BE07 BF03 BF06 BG03
BH06 BH18 BJ15 BM01 BP31
BP34 BP94
5F045 AA06 AA07 AB01 AC01 AD09
AD10 AF03 BB16 CA02 DA52
HA06
5F048 AA07 AA10 AC05 BA14 BB05
CA03 CA14
5F082 BA27 BA28 BA35 BA47 BC01
BC09 CA01 DA03 DA10 EA22
EA25

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.